

JA 0216268  
SEP 1987

69

gate

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 62-216268 (A) (43) 22.9.1987 (19) JP

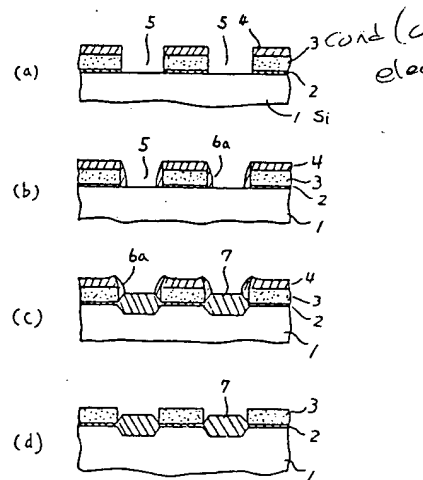
(21) Appl. No. 61-58737 (22) 17.3.1986

(71) FUJITSU LTD (72) HIROSHI GOTO

(51) Int. Cl. H01L29/78, H01L21/76, H01L21/94, H01L27/10

**PURPOSE:** To eliminate the need for providing allowance for mask alignment by forming the side wall of a nitride film on the basis of a pattern for the nitride film shaped onto a poly Si film for a gate electrode and conducting field oxidation.

**CONSTITUTION:** A conductive film 3 and a first insulating film 4 are applied and shaped onto the surface of a gate oxide film 2, and openings 5 for forming field oxide films 7 are shaped. A second insulating film 6 is applied and formed onto the whole surface on the first insulating film 4 and the openings 5, and the side walls 6a of the insulating films are shaped onto the side walls of the openings 5 through anisotropic etching. The field oxide films 7 are formed in the openings 5, and the first insulating film 4 and the side walls 6a are removed to expose the conductive film 3 for a gate electrode. Accordingly, the field oxide films 7 are formed in a self-alignment manner to the gate electrode for the poly Si film 3, thus eliminating the need for providing allowance for mask alignment, then miniaturizing a pattern by that amount, thereby the surface of the gate electrode can be flattened.



1: Si substrate, 4: first insulating film (nitride film)

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)9月22日

H 01 L 29/78

8422-5F

21/76

M-7131-5F

21/94

6708-5F

27/10

7735-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-58737

⑯ 出 願 昭61(1986)3月17日

⑰ 発 明 者 後 藤 寛 川崎市中原区上小田中1015番地 富士通株式会社内  
⑱ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁理士 井 桁 貞一

# 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

Si基板(1)の表面に、一旦熱酸化膜を形成した後、この熱酸化膜を除去し、再び熱酸化処理を行い、ゲート酸化膜(2)を形成する工程と、

前記ゲート酸化膜(2)の表面に導電膜(3)を被着形成し、更にその上に第1絶縁膜(4)を被着形成する工程と、

前記第1絶縁膜(4)、導電膜(3)にパターニングによりフィールド酸化膜(7)形成用の開口(5)を形成する工程と、

この上に全面に第2絶縁膜(6)を被着形成し、次いで前記第2絶縁膜(6)の厚さ分だけ異方性エッチングを行い、開口(5)の側壁に絶縁膜のサイドウォール(6a)を形成する工程と、

開口(5)にフィールド酸化膜(7)を形成し、ついで第1絶縁膜(4)およびサイドウォール

(6a)を除去し、ゲート電極の導電膜(3)を露出せしめる工程とを含む

ことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

### (概要)

ゲート電極の形成にあたり、ゲート酸化膜、導電膜、絶縁膜と順次被膜を積層し、ゲート電極形成のパターニング開口に絶縁膜のサイドウォールを形成したのちセルフアライン的にフィールド酸化膜を形成する工程を含むもの。

### (産業上の利用分野)

本発明は半導体装置の製造方法に係わり、ゲート電極とフィールド酸化膜形成方法に関する。

半導体集積回路をよりコンパクトに、より集積度を高くすることは時代の趨勢であり、そのために種々の努力がなされており、EPROM (Erasable Programmable Read Only Memory) に対しても同様である。

従来のEPROMはフィールド酸化膜形成後ポリSiのフローディングゲートをマスクによりパターンニングしていたので、マスク合わせ余裕分パターンが大きくなり、集積度をあげる上で好ましくなかった。

本発明ではゲート電極に対しセルフアライン的にフィールド酸化膜を形成し、集積度の向上をはかろうとするものである。

#### (従来の技術)

第2図(a)～(d)は従来例におけるゲート電極形成工程を説明するための模式的断面図である。

第2図(a)は窒化膜にフィールド酸化膜形成用開口を窓開けした状態を示す。

この図において、1はSi基板で、この表面に初期酸化膜8を厚さ約500Å形成、更にこの上にCVD窒化膜( $\text{Si}_3\text{N}_4$ 膜)4を約1000Å形成する。

次いで窒化膜4にフィールド酸化膜形成用の開口5の窓開けを行う。

第2図(b)はフィールド酸化膜を形成した状態

を示す。

1000℃、ウエット $\text{O}_2$ 中の熱処理で約7000Åのフィールド酸化膜7を形成する。このとき、窒化膜13の開口5の下縁部にバズビークを生ずる。

第2図(c)はポリSi膜を被覆形成した状態を示す。

この図において、窒化膜4を除去したのち、酸化膜を約500Åエッチングして初期酸化膜8を除去する。ついで、再びドライ $\text{O}_2$ 、1000℃で熱処理して約500Åの厚さのゲート酸化膜2をSi基板1の表面に形成する。ついで、ポリSi膜3を約5000ÅCVD法で被覆形成する。

第2図(d)はポリSiのゲート電極をパターンニング形成した状態を示す。

ポリSi膜3にマスクを用い、 $\text{CF}_4$ ガスによりプラズマエッチングして、ゲート電極3を形成する。更にこのあと、図面に表示しないが、窒化膜被覆、ポリSiのコントロールゲート膜被着、ポリSiに隣り拡散、ついでコントロールゲート等をパターンニングしてSi基板1を露出する。スルー酸化膜

3

を形成しソース、ドレイン形成用のAsイオンを $\text{I}^+$ し、スルー酸化膜を除去してコントロールゲート等の上にブロック酸化膜を熱酸化により形成して、EPROMの両ゲートが形成される。

この方法においては、フィールド酸化膜7に対してポリSiのゲート電極3はセルフアライン的に形成されていないので、マスク合わせ余裕が必要となるために、ゲート電極3が大きくなる欠点を有している。又、バズビークを生ずるので表面平坦度を損なう欠点もある。

#### (発明が解決しようとする問題点)

ポリSiのゲート電極に対しフィールド酸化膜をセルフアライン的に形成し、マスク合わせ余裕をとる必要をなくすること、およびバズビークに基づくゲート電極の盛り上がりなくす。

#### (問題点を解決するための手段)

上記問題点の解決は、Si基板の表面に、一旦熱酸化膜を形成した後、この熱酸化膜を除去し、再

4

び熱酸化処理を行い、ゲート酸化膜を形成する工程と、前記ゲート酸化膜の表面に導電膜を被着形成し、更にその上に第1絶縁膜を被着形成する工程と、前記第1絶縁膜、導電膜にパターンニングによりフィールド酸化膜形成用の開口を形成する工程と、この上に全面に第2絶縁膜を被着形成し、次いで前記第2絶縁膜の厚さ分だけ異方性エッチングを行い、開口の側壁に絶縁膜のサイドウォールを形成する工程と、開口にフィールド酸化膜を形成し、ついで第1絶縁膜およびサイドウォールを除去し、ゲート電極の導電膜を露出せしめる工程とを含む本発明による半導体装置の製造方法により達成される。

#### (作用)

ゲート電極用ポリSi膜の上に形成した窒化膜のパターンを基にして、窒化膜のサイドウォールの形成後フィールド酸化を行うもので、フィールド酸化膜の形成がゲート電極に対してセルフアライン的になされ、バズビークの形成も殆どない。

5

6

(実施例)

第1図(a)～(d)は本発明におけるゲート電極形成工程を説明するための模式的断面図である。

これら図において第2図と同じ名称のものは同じ符号で示す。

第1図(a)は窒化膜、ポリSi膜、ゲート酸化膜にフィールド酸化膜形成用の開口を窓開けした状態を示す。

Si基板1の表面をウエット $O_2$ 中で酸化し、後出来た酸化膜を除去し、表面の汚れを取り去る。

ついで、1000℃でHClガス中で処理して約500Åの厚さのゲート酸化膜2を形成する。

次に、導電膜たるポリSi膜3を5000Åの厚さにCVD法で被着形成する。その上に第1絶縁膜たる窒化膜4をCVD法で3000Å被着形成する。続いて、窒化膜4、ポリSi膜3、ゲート酸化膜2にフィールド酸化膜形成用の開口5を窓開けする。

第1図(b)窒化膜のサイドウォールを形成した状態を示す。

第2絶縁膜たる窒化膜6を厚さ約2000Å、CVD法で全面に被着形成する。ついで、窒化膜6を厚さ約2000Å異方性ドライエッチングして、開口5の底部にSi基板1を露出せしめると同時に、開口5の側壁に窒化膜のサイドウォール6aを形成する。

異方性ドライエッチングはガス:  $CF_4$ 、 $O_2$ 、圧力: 0.1 Torr、電力: 100Wの条件で行う。

第1図(c)はフィールド酸化膜を形成した状態膜を示す。

1000℃で、ウエット $O_2$ 中で熱処理して厚さ約7000Åのフィールド酸化膜7を開口5の底部Si基板1の露出部に形成する。このときフィールド酸化膜7のバズビーク部に乗る大部分はサイドウォール6で、ゲート電極のポリSi膜3はその端が僅かにかかる程度である。従って、ゲート電極3の表面は殆ど平坦に保たれる。

第1図(d)は窒化膜を除去した状態を示す。

窒化膜4および窒化膜のサイドウォール6aをエッチング除去する。

7

この後のコントロールゲート膜形成等の工程は従来の方法と同様にする。

ここで、フィールド酸化膜7はポリSi膜3のゲート電極に対してセルフアライン的に形成されるのでマスク合わせ余裕度をみる必要がなくそれだけパターンが小さく出来、且つゲート電極表面が平坦に出来る利点がある。

この実施例においては、第1図(a)に示す如くゲート酸化膜2まで開口5を形成したが、ここでポリSi膜3は開口するがゲート酸化膜2は開口しないで残して次の工程に入ってもよい。このときはバズビークへのゲート電極3の乗り掛かりが若干増加するのみである。

(発明の効果)

以上詳細に説明したように本発明によれば、ゲート電極に対してセルフアライン的にフィールド酸化膜を形成するので、マスク合わせ余裕分集積度を上げることが出来る。又、ゲート電極も平坦に形成出来る。

8

4. 図面の簡単な説明

第1図(a)～(d)は本発明におけるゲート電極形成工程を説明するための模式的断面図、

第2図(a)～(d)は従来例におけるゲート電極形成工程を説明するための模式的断面図である。

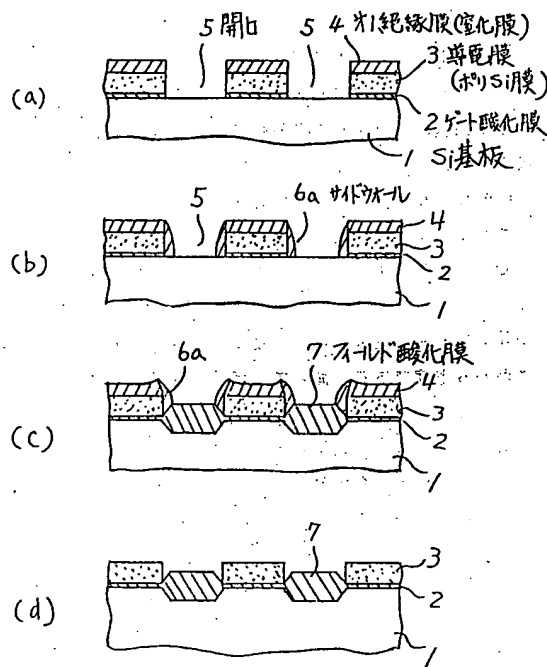
図において、

- 1はSi基板、
- 2はゲート酸化膜、
- 3は導電膜(ポリSi膜)、
- 4は第1絶縁膜(窒化膜)、
- 5は開口、
- 6は第2絶縁膜(窒化膜)、
- 6aはサイドウォール、
- 7はフィールド酸化膜

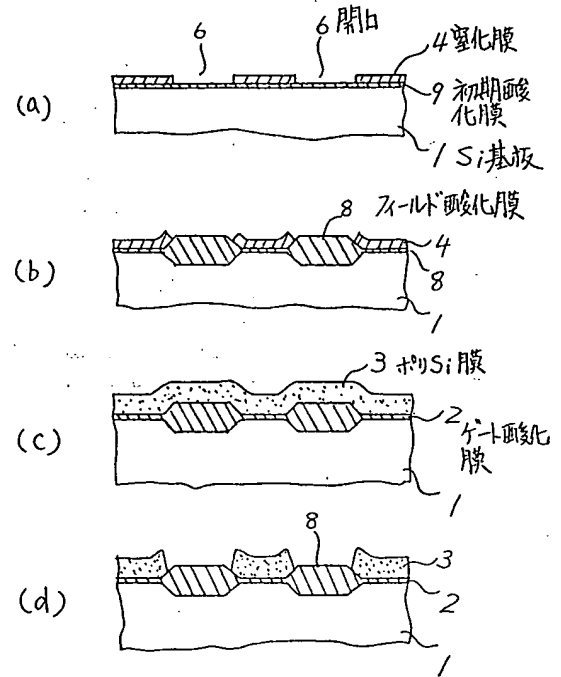
である。

代理人 弁理士 井桁貞一





本発明におけるゲート電極形成工程を説明する  
ための模式的断面図  
図1



従来例におけるゲート電極形成工程を説明する  
ための模式的断面図  
図2